

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-140041

(43)Date of publication of application : 17.05.2002

(51)Int.Cl. G09G 3/36
G02F 1/133
G09G 3/20

(21)Application number : 2000-331524

(71)Applicant : ALPS ELECTRIC CO LTD

(22)Date of filing : 30.10.2000

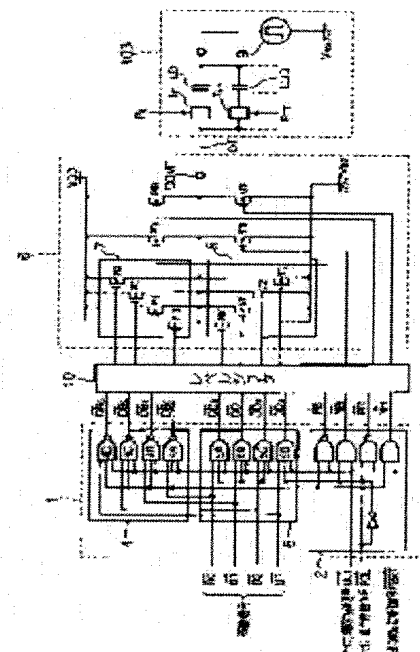
(72)Inventor : FUJIYOSHI TATSUMI

(54) DRIVING CIRCUIT FOR DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a driving circuit for liquid crystal display device in which the power consumption of a D/A converter is suppressed to a low level, the circuit size is reduced and a high speed operation is made possible.

SOLUTION: A gradation voltage control section 4 is constituted of NAND circuits 4A to 4D. When an opposing electrode driving circuit 9 has an L output and an output interval control signal OUT is H, the section 4 outputs inverted image signals DB0 to DB3 of image signals D0 to D3. A voltage generating section 7 is constituted of p type MOS transistors PT0 to PT3 in which the sources are connected to VDD, the drains are connected to a data line DT and the signals DB0 to DB3 are inputted to the gates. A gradation voltage control section 5 is constituted of AND circuits 5A to 5D. When the circuit 9 has an H output and the signal OUT is H, the section 5 outputs the signals D0 to D3 by interval image signals DD0 to DD3. A voltage generation section 8 is constituted of n type MOS transistors NT0 to NT3 in which the sources are connected to VSS, the drains are connected to the line DT and the signals DD0 to DD3 are inputted to the gates.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-140041

(P2002-140041A)

(43) 公開日 平成14年5月17日 (2002.5.17)

(51) Int.Cl.⁷

識別記号

F I

テーマコード(参考)

G 0 9 G 3/36

G 0 9 G 3/36

2 H 0 9 3

G 0 2 F 1/133

5 7 5

G 0 2 F 1/133

5 7 5

5 C 0 0 6

G 0 9 G 3/20

6 1 1

G 0 9 G 3/20

6 1 1 A

5 C 0 8 0

6 2 3

6 2 3 F

6 4 1

6 4 1 C

審査請求 未請求 請求項の数 9 O L (全 14 頁)

(21) 出願番号

特願2000-331524(P2000-331524)

(71) 出願人 000010098

アルプス電気株式会社

東京都大田区雪谷大塚町1番7号

(22) 出願日

平成12年10月30日 (2000. 10. 30)

(72) 発明者 藤由 達巳

東京都大田区雪谷大塚町1番7号 アルプ

ス電気株式会社内

(74) 代理人 100064908

弁理士 志賀 正武 (外6名)

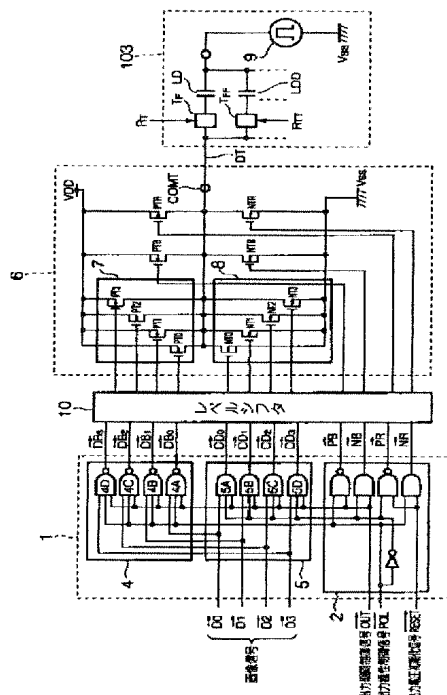
最終頁に続く

(54) 【発明の名称】 表示装置の駆動回路

(57) 【要約】

【課題】 D/A変換器の消費電力を低く抑え、また、回路規模を削減し、かつ高速動作が可能な液晶表示装置の駆動回路を提供する。

【解決手段】 階調電圧制御部4はNAND回路4A~4Dで構成され、対向電極駆動回路9が出力で、出力期間制御信号OUTがHの場合、画像信号D0~D3の反転画像信号DB0~DB3を出力する。電圧発生部7はソースがVDDに接続され、ドレインがデータ線DTに接続されたp型のMOSトランジスタPT0~PT3で構成され、各ゲートに反転画像信号DB0~DB3が入力されている。階調電圧制御部5はAND回路5A~5Dで構成され、対向電極駆動回路9が出力で、かつ出力期間制御信号OUTがHの場合、画像信号D0~D3を内部画像信号DD0~DD3で出力する。電圧発生部8はソースがVSSに接続され、ドレインがデータ線DTに接続されたn型のMOSトランジスタNT0~NT3で構成され、各ゲートに内部画像信号DD0~DD3が入力されている。



【特許請求の範囲】

【請求項 1】 複数のビットで構成され、外部から供給されるデジタル階調信号を、制御信号の入力される期間に、各々出力するゲート回路と、

前記各ビットが該ゲート回路からそれぞれ対応するゲートに入力され、ソースが所定の電圧に接続され、各々のドレインが共通出力端子に接続された複数の MOS トランジスタからなる MOS トランジスタ群と、
前記共通出力端子の電位を初期化する初期化手段とを有し、

前記 MOS トランジスタ群が前記デジタル階調信号に対応した階調電圧を共通出力端子へ出力することを特徴とする表示装置の駆動回路。

【請求項 2】 複数のビットで構成され、外部から供給されるデジタル階調信号を、制御信号の入力される期間に、各々出力するゲート回路と、

前記各ビットが該ゲート回路からそれぞれ対応するゲートに入力され、ソースが第 1 の電圧に接続され、各々のドレインが共通出力端子に接続された複数の第 1 の MOS トランジスタからなる第 1 の MOS トランジスタ群と、

前記各ビットが該ゲート回路からそれぞれ対応するゲートに入力され、ソースが第 2 の電圧に接続され、各々のドレインが前記共通出力端子に接続された複数の第 2 の MOS トランジスタからなる第 2 の MOS トランジスタ群と、
前記共通出力端子の電位を初期化する初期化手段とを有し、

前記ゲート回路が選択信号に基づき、前記第 1 の MOS トランジスタ群または前記第 2 の MOS トランジスタ群のいずれへ、前記デジタル階調信号を出力するかを選択し、選択された MOS トランジスタ群が前記デジタル階調信号に対応した階調電圧を前記共通出力端子へ出力することを特徴とする表示装置の駆動回路。

【請求項 3】 前記共通出力端子の電位の初期化は、前記制御信号が入力される前に行われることを特徴とする請求項 1 または請求項 2 記載の表示装置の駆動回路。

【請求項 4】 前記共通出力端子を初期化する電位が、前記第 1 の MOS トランジスタ群が選択される場合に前記第 2 の電圧であり、前記第 2 の MOS トランジスタ群が選択される場合に前記第 1 の電圧であるか、または、何れの MOS トランジスタ群が選択される場合も、前記第 1 の電圧と前記第 2 の電圧との間にある値であることを特徴とする請求項 2 記載の表示装置の駆動回路。

【請求項 5】 前記 MOS トランジスタ群の各々の MOS トランジスタが、前記階調信号が入力されたときに、それぞれ重みづけされた電流値の電流を流すことを特徴とする請求項 1 に記載の表示装置の駆動回路。

【請求項 6】 前記第 1 の MOS トランジスタ群の各々の第 1 の MOS トランジスタ、及び前記第 2 の MOS ト

ランジスタ群の各々の第 2 の MOS トランジスタが、前記デジタル階調信号が入力されたときに、それぞれ重みづけされた電流値の電流を流すことを特徴とする請求項 2 または請求項 4 に記載の表示装置の駆動回路。

【請求項 7】 前記重みづけが 2 のべき乗の数値を乗ずることで設定されていることを特徴とする請求項 5 または請求項 6 に記載の表示装置の駆動回路。

【請求項 8】 前記 MOS トランジスタ群と並列に接続され、前期デジタル階調信号の示す階調に応じて、前記共通出力端子の電位の最小値を設定する調整電流を流す他の MOS トランジスタを具備することを特徴とする請求項 1 または請求項 5 に記載の表示装置の駆動回路。

【請求項 9】 前記第 1 の MOS トランジスタ群と並列に接続され、前期デジタル階調信号の示す階調に応じて、前記共通出力端子の電位の最小値を設定する調整電流を流す第 3 の MOS トランジスタと、前記第 2 の MOS トランジスタ群と並列に接続され、階調信号の示す階調に応じて、前記共通出力端子の電位の最小値を設定する調整電流を流す第 4 の MOS トランジスタとを具備することを特徴とする請求項 2、請求項 4、請求項 6 のいずれかに記載の表示装置の駆動回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、D/A 変換回路から構成されるソース駆動回路であり、液晶表示装置等の駆動に適用される表示装置の駆動回路に係わるものである。

【0002】

【従来の技術】電気光学材料として液晶を用いた液晶表示装置は、CRT (Cathode-Ray Tube) に代わる表示デバイスとして、コンピュータ、携帯情報端末、テレビ及び携帯電話等に多用されるようになってきている。液晶表示装置の表示部は、ソース駆動回路から画像信号が出力されるデータ線と、ゲートドライバから書込信号が出力される走査線とが交差する部分に表示素子が形成されている。ソース駆動回路は、外部から入力されるデジタル値の画像信号を、画像信号の階調度に対応したアナログ値（電圧値）に変換して、データ線へ出力する。

【0003】ここで、各表示素子は、上記書込信号により ON 状態（導通状態）となるスイッチング素子と、このスイッチング素子を介して上記画像信号（アナログ値）が書き込まれる画素電極とから構成されている。この画素電極は、液晶層を介して対向電極と対向しており、スイッチング素子がオフ状態（非導通状態）となった後、画像信号（階調信号）の電圧に応じた電荷を、液晶層自身の容量性や蓄積容量などによって維持する。このため、画素電極に蓄積される電荷量に対応して、液晶表示装置の表示部の画素毎に、画素電極に対応した部分の液晶の配向状態が調整され、各表示素子の表示される階調度が制御される。

【0004】したがって、各表示素子が電荷を一定時間蓄積しているのため、各画素電極の液晶層及び上記蓄積容量に電荷を蓄積させるのは一定のタイミング毎で良い。各表示素子に対する画像信号に対応する電荷量の蓄積を行うとき、まず、走査線駆動として、ゲートドライバが書込信号により行単位にスイッチング素子を順次ON状態とし、この表示素子の選択期間において、ソース駆動回路が列単位にスイッチング素子へ画像信号を出力する。このようにして、書込信号により、液晶表示装置の表示部における行単位の表示素子に、画像信号に対応する電荷量を蓄積していくことができ、走査線とデータ線とを複数の表示素子に対して共通化した時分割マルチプレックス駆動が行われる。

【0005】

【発明が解決しようとする課題】しかしながら、ソース駆動回路に用いられるD/A変換回路には、例えば、図13に示すように、デジタルデータをアナログデータへ変換する機能部分を抵抗ストリングSRで構成した場合、この抵抗ストリングSRに常時電流を流す必要があり、かつ、回路配線の寄生容量やゲートの入力容量などに基づくセトリング時間の制約により、抵抗ストリングSRに流す電流の最小値に限度があった。すなわち、従来のD/A変換回路は、消費電力を低下させるために、抵抗ストリングSRに常時流す電流値を減少させると、デジタルデータからアナログデータへの変換速度が遅くなり、表示装置の駆動に用いることが出来ない。このため、抵抗ストリングにより構成された従来のD/A変換回路は、ソース駆動回路の低消費電力化を図る上での妨げの要因となっていた。図12において、TFはスイッチング素子であり、薄膜トランジスタ(TFT)などが用いられる。薄膜トランジスタTFは、液晶表示装置のガラス基板上に形成されている。また、Cccは、表示部200の表示素子において、蓄積容量と、画素電極とこの電極に対向する対向電極との間に挟まれた液晶層により形成される容量とを合計した容量値である。

【0006】また、従来のD/A変換器では、デコーダ回路120が、抵抗ストリングSRの中間タップTP(抵抗と抵抗との接続点)の電圧の中から、画像データ(階調データ)D0, D1, D2, D3に基づいてデコードし(16階調の場合)、この画像データに対応する電圧をスイッチにより選択している。このため、従来のD/A変換器は、画像の濃度を示す階調数分の数のスイッチが必要となり、多階調表示の場合にスイッチを形成する領域の面積比が大きくなり、ICのチップサイズを増大させる要因となっている。

【0007】さらに、従来のD/A変換器は、抵抗ストリングSRから直接に表示部200へ電流を供給することができない(出力インピーダンスが高い)。よってインピーダンス変換を演算増幅回路121で行い、表示部200へ電圧として出力している。このため、この演算

増幅回路121における差動増幅部及び出力バッファ部部のそれぞれにおいても、抵抗ストリングと同様に、セトリング時間等の制約から定電流源CIを用いて一定値以上のアイドリング電流を流す必要があり、低消費電力化を図る上での妨げとなっている。

【0008】本発明はこのような背景の下になされたもので、D/A変換器の消費電力を低く抑え、また、回路規模を削減し、かつ高速動作が可能な表示装置の駆動回路を提供する事にある。

【0009】

【課題を解決するための手段】本発明の電流駆動部は、複数のビットで構成された外部から供給されるデジタル階調信号を、制御信号の入力される期間に、各々出力するゲート回路(デコーダ1)と、前記各ビットが該ゲート回路からそれぞれ対応するゲートに入力され、ソースが所定の電圧に接続され、各々のドレインが共通出力端子に接続された複数のMOSトランジスタからなるMOSトランジスタ群と、前記共通出力端子(表示素子が接続されたデータ線に接続される端子)の電位を初期化する初期化手段とを有し、前記MOSトランジスタ群が前記デジタル階調信号に対応した階調電圧をデータ線へ出力することにより、表示素子に対する充放電時に、出力極性制御信号によりMOSトランジスタ群により、階調度に対応した電位の方向に電荷を充放電させることができ、MOSトランジスタの駆動電流以外のアイドリング電流は流れず電力消費を最小限にする事が可能となる。

【0010】本発明の電流駆動部は、複数のビットで構成され、外部から供給されるデジタル階調信号を、制御信号の入力される期間に、各々出力するゲート回路と、前記各ビットが該ゲート回路からそれぞれ対応するゲートに入力され、ソースが第1の電圧(高電位VDD)に接続され、各々のドレインが共通出力端子に接続された複数の第1のMOSトランジスタからなる第1のMOSトランジスタ群(nチャネル型のMOSトランジスタ群)と、前記各ビットが該ゲート回路からそれぞれ対応するゲートに入力され、ソースが第2の電圧(低電位VSS)に接続され、各々のドレインが前記共通出力端子に接続された複数の第2のMOSトランジスタからなる第2のMOSトランジスタ群(pチャネル型のMOSトランジスタ群)と、前記共通出力端子の電位を初期化する初期化手段とを有し、前記ゲート回路が選択信号に基づき、前記第1のMOSトランジスタ群または前記第2のMOSトランジスタ群のいずれへ、前記階調信号を出力するかを選択し、選択されたMOSトランジスタ群が前記階調信号に対応した階調電圧を前記共通出力端子へ出力することにより、表示素子に対する充放電時のみに、出力極性制御信号により第1のMOSトランジスタ群により第1の電位の方向に電荷を充放電するか、または第2のMOSトランジスタ群により第2の

電位の方向に電荷を充放電させることができ、前記MOSトランジスタの駆動電流以外のアイドル電流は流れず電力消費を最小限にする事が可能となる。また、本発明の電流駆動部は、前期MOSトランジスタの飽和領域での定電流特性を利用しており、出力期間の制御信号でMOSトランジスタのON時間が決定されるため、MOSトランジスタのON状態の時間を一定にすると、表示素子の画素電極に、デジタルのnビットの階調度の画像信号に対応した出力電位を設定できる事になる。さらに、本発明の電流駆動部は、最大の出力電圧がMOSトランジスタを定電流源と見なした時、データ線を介して表示素子へ出力される最大電流と、出力期間との積をデータ線及び表示素子などの容量性負荷の容量値で除した値であるので、最大電流量に対応した上記容量性負荷の大きさにより、出力期間の長さを設定できる。

【0011】本発明の電流駆動部は、前記共通出力端子の電位の初期化が、前記階調電圧を変化させるとき、前記制御信号が入力される前に行われるため、繰り返し入力されるデジタルのnビットの階調度の画像信号に対応する電圧に表示素子を駆動する事が可能となる。本発明の電流駆動部は、前記共通出力端子を初期化する電位が、前記第1のMOSトランジスタ群が選択される場合に前記第2の電圧であり、前記第2のMOSトランジスタ群が選択される場合に前記第1の電圧であるか、または、何れのMOSトランジスタ群が選択される場合も、前記第1の電圧と前記第2の電圧との間にある値であるため、表示素子を第1の電位の方向と第2の電位の方向とに交互に駆動する場合、表示素子に蓄積された階調度の電位が初期化の電位の方向に対応しているため、充放電の途中の過程のものと見なすことができるため、初期化による容量性負荷の電荷の充放電による無効な電力消費を更に削減することが出来る。

【0012】本発明の電流駆動部は、前記MOSトランジスタ群の各々のMOSトランジスタが、前記階調信号が入力されたときに、それぞれ重みづけされた電流値の電流を流すため、画像信号のデジタルのnビット階調度に対応して、駆動される表示素子に与えられる電圧レベルの数を、階調度に併せて増やすことが可能となる。本発明の電流駆動部は、前記第1のMOSトランジスタ群の各々の第1のMOSトランジスタ、及び前記第2のMOSトランジスタ群の各々の第2のMOSトランジスタが、前記階調信号が入力されたときに、それぞれ重みづけされた電流値の電流を流すことため、画像信号のデジタルのnビット階調度に対応して、駆動される表示素子に与えられる電圧レベルの数を、階調度に併せて増やすことが可能となる。

【0013】本発明の電流駆動部は、前記重みづけが2のべき乗の数値を乗ずることで設定されているため、デジタルのnビットの画像信号に対応して前記画像信号の示す階調度に対応して、表示素子を 2^n レベルの種類

10

20

30

40

50

に電圧で駆動する事が可能となる。本発明の電流駆動部は、階調信号の示す階調に応じて、前記共通出力端子の電位の最小値を設定する調整電流を流す、前記MOSトランジスタ群と並列に接続された他のMOSトランジスタを具備しているため、デジタルnビットの画像信号が全て「L」のレベルである場合においても電流を出力する事ができ、液晶表示素子の素子特性に応じた駆動電圧範囲を設定する事が可能となる。本発明の電流駆動部は、階調信号の示す階調に応じて、前記共通出力端子の電位の最小値を設定する調整電流を流す、前記第1のMOSトランジスタ群と並列に接続された第3のMOSトランジスタと、階調信号の示す階調に応じて、前記共通出力端子の電位の最小値を設定する調整電流を流す、前記第2のMOSトランジスタ群と並列に接続された第4のMOSトランジスタとを具備することで、デジタルのnビットの画像信号が全て「L」レベルである場合においても電流を出力することができ、液晶表示装置の表示素子の素子特性に応じた駆動電圧範囲を設定する事が可能となる。本発明の電流駆動部はこれらの構成により従来の表示装置の駆動回路におけるD/A変換回路と出力回路との機能が実現可能となり、表示装置の回路規模の大幅な削減が可能となる。

【0014】

【発明の実施の形態】以下、図面を参照して本発明の実施形態について説明する。図1は本発明の一実施形態が用いられる液晶表示装置の構成を示すブロック図である。この図において、表示制御回路100は、例えば、同期信号に同期して入力される画像信号をソースドライバ101へ転送し、かつ、ゲートドライバへ走査開始パルスを含む各種制御信号を出力する。ソースドライバ101は、画素毎に順次送信されるデジタルの上記画像信号（階調信号）を、走査線1ライン分の画像信号を取り込む毎にアナログ電圧変換して、表示部103の表示素子に列単位に接続されたデータ線へ、ゲートドライバの出力する書込信号に同期させて出力する。

【0015】ゲートドライバ102は、前記走査開始パルスに基づき、画像信号を表示素子に書き込むための上記書込信号（走査信号）を生成して順次走査線へ出力する。各々の走査線には、データ線の本数に相当する個数の表示素子が接続されている。すなわち、走査線とデータ線との交差した部分に表示素子が形成されている。電源回路104は、液晶表示装置を駆動するために必要な電圧及び電流を生成して、ソースドライバ101及びゲートドライバ102へ供給する。ここで、各表示素子は、上記書込信号によりON状態（導通状態）となるスイッチング素子と、このスイッチング素子を介して上記画像信号が書き込まれる画素電極と液晶層とから構成されている。この画素電極は、液晶層を介して対向電極と対向して容量成分を形成しており、スイッチング素子がOFF状態（非導通状態）となった後、画像信号（階調

信号)の電圧に応じた電荷を、液晶層自身の容量性や蓄積容量などによって維持する。このため、画素電極に蓄積される電荷量に対応して、画素電極の電位が設定され、画素電極と対向電極との間に発生する電界により、表示部103の画素毎に液晶の配向状態が調整され、各表示素子の透過率が調整されることで階調度が制御される。

【0016】したがって、各表示素子が電荷を一定時間蓄積しているため、各画素電極の液晶層及び上記蓄積容量に電荷を蓄積させるのは、電荷がリークで消失しない時間の一定のタイミング毎で良い。各表示素子に対する画像信号に対応する電荷量の蓄積を行うとき、まず、走査線駆動として、ゲートドライバ102が書込信号により行単位に各表示素子のスイッチング素子を順次ON状態とし、この表示素子の選択期間において、ソースドライバ101が列単位にスイッチング素子へ画像信号を出力する。そして、表示制御回路100は、書込信号により、表示部103における行単位の表示素子に、画像信号に対応する電荷量を蓄積することができ、走査線とデータ線とを複数の表示素子に対して共通化した時分割マルチプレックス駆動を行う。

【0017】ここで、ソースドライバ101は、各行単位に走査線へ書込信号が出力されている期間に、画像信号を各列単位にデータ線に出力する必要がある。すなわち、この走査線の走査のタイミング(書き込み信号の出力タイミング)に合わせて、データ線に画像信号を出力するため、ソースドライバ101は図2に示す各回路ブロックから構成されている。すなわち、シフトレジスタ110は、行単位の書き込み開始時に入力されるスタートパルスを、クロックに同期して1ビットずつシフト(図で左方向)させ、スタートパルスの保持されているレジスタからゲート信号GTを順次出力する。そして、データレジスタ111は、シフトレジスタ110の出力するゲート信号GTを出力する位置、すなわち、スタートパルスが保持されているレジスタ(データ線の位置を示す)の位置に対応するレジスタに画像信号を順次格納させる。

【0018】ここで、データレジスタ111は、表示素子1行分(1走査線分)における画素数に対応した数のレジスタを有しており、かつ、画像信号が階調を示す複数のビットで構成されたデジタル信号であるため、画像信号の階調度を示すビット数に対応した複数のビットを記憶できるよう構成されている。また、1走査線分の画像信号を複数個のソースドライバのカスケード接続により、各ソースドライバに分けて格納される場合もある。すなわち、走査線方向にデータ線を複数のグループに分割し、この各グループに対応させて、ソースドライバを設ける。そして、スタートパルスがシフトレジスタ110の最後のレジスタまでシフトされ、すなわち、データレジスタ111に1走査線分の画像信号が格納される

と、ラッチ112は、書込信号の直前に入力されるラッチ信号により、データレジスタ111に蓄積されている1走査線分、すなわちデータ線数に対応した画像信号をラッチする。ここで、ラッチ112におけるデータ線毎の記憶単位であるラッチのビット数は、データレジスタ111のレジスタと同様に、画像信号の階調度を示すビット数に対応した複数のビットを記憶できるよう構成されている。その後シフトレジスタは表示制御回路100が送出する次のスタートパルスが入力されるまで待機し、新たなスタートパルスが入力されると、再びデータレジスタ111に対する新たな画像信号の入力処理を開始する。

【0019】これにより、電流駆動部114は、書込信号に同期して入力される制御信号により、入力される画像信号の示す階調度に対応した電圧を液晶素子へ供給するため、内蔵のD/A機能により、画像信号のデジタル値の示す階調度を、アナログの電圧に変換し、この電圧に対応する電流を、共通出力端子COMTを介してデータ線へ流す。そして、この階調度に対応する電流を、対応するデータ線を介して各表示素子の画素電極に供給し、1走査線毎の書込信号により、行単位の表示素子のスイッチング素子をON状態として、各画素電極へ階調度に対応した電荷を蓄積する。この様にして、上述した一連の動作が1画面の走査線分繰り返され、1画面の表示が行われ、以降、画面単位で上述の処理が繰り返される。

【0020】次に、図を用いて、電流駆動部114の構成を詳細に説明する。図3は、図2における電流駆動部114のデータ線1本分を駆動する部分の構成を示すブロック図である。実際には、1本の走査線当たりの表示素子の数の分だけ、図3に示す回路が電流駆動部114に設けられている。また、説明を簡単にする為、画像信号は1画素あたり4ビット(階調度として16階調)として構成している。例えば、デコーダ1は、16階調の濃度に対応する電圧値の制御を行う回路であり、(+)の極性の階調度を示す階調電圧を制御する電圧制御部4、と、(-)の極性の階調度を示す階調電圧を制御する電圧制御部5から構成されており、階調電圧発生部6の発生する階調電圧の値の制御を行う。

【0021】ここで、(+)の極性の階調度とは、初期化された電位より階調度に対応する電位が高い場合、すなわち、初期化した電位から電荷の充電(蓄積)を行い、設定した電位の示す階調度を言う。また、(-)の極性の階調度とは、初期化された電位より階調度に対応する電位が低い場合、すなわち、初期化した電位から電荷の放電を行い設定した電位の示す階調度を言う。表示素子における階調度を示す画素電極及び対向電極の間の電位差は、(+)及び(-)の極性の階調度において、電圧の絶対値としては同様の値である。階調電圧発生部6は、階調電圧制御部4からの電圧制御信号に基づき、

(+)の極性の階調度の電圧を発生する電圧発生部7と、階調電圧制御部5からの電圧制御信号に基づき、(一)の極性の階調度の電圧を発生する電圧発生部8とから構成されている。

【0022】階調電圧制御部4は、4つの3入力のNAND回路4A、4B、4C、4Dから構成されており、出力極性制御信号POLが「H」レベルであり（対向電極駆動回路9が「L」レベル出力）、かつ出力期間制御信号OUTが「H」レベルの場合、NAND回路4A、4B、4C、4D各々が、入力される画像信号D0、D1、D2、D3の負論理の画像信号DB0、DB1、DB2、DB3を、電圧発生部7へ、レベルシフト10を介して出力する。電圧発生部7は、ソース電極が高電位VDDに接続され、ドレインが共通出力端子COMTを介してデータ線DTに接続されたpチャネル型のMOSトランジスタPT0、PT1、PT2、PT3（pチャネル型のMOSトランジスタ群）から構成され、この各MOSトランジスタのゲートに負論理の画像信号DB0、DB1、DB2、DB3がそれぞれ入力されている。

【0023】データ線DTは、薄膜トランジスタTF及び薄膜トランジスタTFFの一端へ接続されている。そして、薄膜トランジスタTF及び薄膜トランジスタTFFは、他端が各々表示素子LD、LDDの画素電極に接続され、ゲートに各々走査線RT、RTTが接続されている。薄膜トランジスタTF及び薄膜トランジスタTFFは、液晶表示装置のガラス基板に形成されている。また、駆動するデータ線は配線寄生容量、TFTトランジスタTF、TFFの寄生容量など電気的には容量性負荷としてみなすことが出来る。表示素子LD及びLDDの画素電極は、上記薄膜トランジスタを介して共通出力端子COMTに接続され、一方、表示素子LD、LDDの対向電極の端子は対向電極駆動回路9に接続され、この対向電極駆動回路9から矩形波の電圧が印加される。

【0024】階調電圧制御部5は、4つの3入力のAND回路5A、5B、5C、5Dから構成されており、出*

$$I_{ds} = (1/2) \cdot \mu_n \cdot C_{ox} \cdot (W/L) \cdot (V_{gs} - V_{th})^2 \cdots \cdots (1)$$

ただし μ_n は電子の移動度、 C_{ox} はゲート酸化膜容量、Wはチャンネル幅、Lはチャンネル長である。この

(1)式より、nチャネル型のMOSトランジスタは、飽和領域において、Vdsが変化しても他のパラメータが変化しなければ、Idsが図4に示す様に一定である定電流特性となる。また、pチャネル型のMOSトランジスタもVgs、Vds、Vth、Idsの極性が逆になる事以外は、上述したnチャネル型のトランジスタと同様の特性を示す。

【0027】ここで、レベルシフト10は、液晶表示装置を駆動する電圧値や駆動極性反転方式に応じて入力される内部画像信号DD0~DD3、及び反転画像信号DB0~DB3の電圧レベルを変換する。ただし、液晶表示装置の駆動電圧が低い場合や、駆動極性反転方式の種類に

*力極性制御信号POLが「L」レベルであり（対向電極駆動回路9が「H」レベル出力）、かつ出力期間制御信号OUTが「H」レベルの場合、AND回路5A、5B、5C、5D各々が、入力される画像信号D0、D1、D2、D3を内部画像信号DD0、DD1、DD2、DD3として電圧発生部8へ、レベルシフト10を介して出力する。電圧発生部8は、ソース電極が低電位VSSに接続され、ドレインが共通出力端子COMTを介してデータ線DTに接続されたnチャネル型のMOSトランジスタNT0、NT1、NT2、NT3（nチャネル型のMOSトランジスタ群）から構成され、この各MOSトランジスタのゲートに内部画像信号DD0、DD1、DD2、DD3がそれぞれ入力されている。

【0025】出力電圧初期化用のpチャネル型のMOSトランジスタPTR、最小電流設定用のpチャネル型のMOSトランジスタPTBは、各々、ソースが高電位VDDに接続され、ドレインがデータ線DTに接続されている。また、MOSトランジスタPTRのゲートには制御部2から制御信号PRが入力され、MOSトランジスタPTBのゲートには制御部2から制御信号PBが入力されている。同様に、nチャネル型のMOSトランジスタNTR、最小電流設定用のnチャネル型のMOSトランジスタNTBは、各々、ソースが低電位VSSに接続され、ドレインがデータ線DTに接続されている。また、MOSトランジスタNTRのゲートには制御部2から制御信号NRが入力され、MOSトランジスタNTBのゲートには制御部2から制御信号NBが入力されている。

【0026】上述した階調電圧制御部4及び階調電圧制御部5の構成にける各MOSトランジスタの構成について説明する。図4に、nチャネル型のNMOSトランジスタのVds-I ds特性を示す。この図において、Vgs>Vthで且つVds>(Vgs-Vth)の時の動作領域を飽和領域といい次式が成り立つ。

よっては、電圧レベルの変換が必要ない場合もあり、この場合レベルシフト111をソースドライバ101内に設ける必要がない。すなわち、飽和領域でMOSトランジスタを動作させるためには、Vds>(Vgs-Vth)であるから、これらのMOSトランジスタ群において、スイッチ動作と定電流源としての機能を持たせ、かつ電源電圧の効率的利用を考慮すると、「Vgs-Vth」の値は出来るだけ小さい方が飽和領域として動作するVdsの範囲が広くなり好ましい。本発明における信号振幅の関係を図5に示す。ここで、pチャネル型のMOSトランジスタPT0、PT1、PT2、PT3のトランジスタ群をPTnとして表し、nチャネル型のMOSトランジスタNT0、NT1、NT2、NT3のトランジスタ群をNTnとして表す。

【0028】これにより、階調選択部1からの信号の振幅Vlogicは、レベルシフト10によって必要な電圧Vlogic2に変換される。この電圧Vlogic2は、電源電圧範囲(VDD~VSSの範囲)と同じ範囲に設定することにより、MOSトランジスタのON時の電圧Vgsの大きさを、電圧Vlogic2とすることができる。さらに、本実施形態においては、MOSトランジスタのVthの大きさを出力範囲Voutよりも大きくし、かつ、MOSトランジスタのVthの大きさを電圧Vlogic2より小さく設定することにより、電流の供給が必要とされるのみMOSトランジスタをオン状態とすることが可能となり、カレントミラー回路などを使用した定電流回路の構成をとる必要がなくなり、容量性負荷を駆動する電流以外のアイドル電流が不要となる。一方、液晶駆動電圧が小さくて済む場合には、出力電圧範囲が小さくなりVlogic=Vlogic2が可能となるため、レベルシフト10を必要としない場合がある。

【0029】この定電流特性を利用した電流加算回路を考えてみる。図6の(a)に示す様にCloadの初期電圧を「0」としVDDから定電流源によりCloadにIcharge1なる電流値で充電した場合、容量Cloadに蓄積される電圧は時間と共に上昇し図7のAの様な直線の関係になる。図7は、横軸は時間を示し、縦軸は容量Cloadに蓄積される電圧を示す。また、図6(b)に示す様に同じ電流源を2つ並列に接続した場合を同様に考えると、容量Cloadの電圧は、図7のBの様な直線の関係になる。ここで、ある充電時間Tcの時の、容量Cloadの直線A及び直線Bそれぞれにおける電圧をVc1、Vc2とすると、直線Bの時の充電電流は直線Aの時の2倍であるから、Vc2=2・Vc1となる。この事はある充電期間を定めた場合、電流源の大きさと、この電流源から供給され、容量性負荷に蓄積される電圧とは比例関係となる事を意味する。これにより、電流量の値と、電圧値との関係が直線となる回路を実現できる事になる。

【0030】上述した原理により、pチャネル型のMOSトランジスタPT0、PT1、PT2、PT3を式(1)に基づき、MOSトランジスタPT0、PT1、PT2、PT3のそれぞれのW/Lの比を、1:2:4:8に重み付けして設定することで、異なった大きさの定電流源とする事が出来る。すなわち、MOSトランジスタPT0に比較して、MOSトランジスタPT1は2倍の電流が流すことができ、MOSトランジスタPT2は4倍、MOSトランジスタPT3は8倍の電流が流すことができる。これにより、pチャネルMOSトランジスタPT0、PT1、PT2、PT3においては、ONさせるMOSトランジスタの組み合わせにより16通りの電流源(16階調に対応)として動作させることができる。また、nチャネル型のMOSトランジスタNT0、NT1、NT2、NT3においても、上述したnチャネル型のMOS

トランジスタ群と、電流源として同じ大きさ、同じ重み付けの設定をする事により、出力端に接続される容量性負荷(表示素子)に対して電荷の充電(蓄積)、放電の両動作が行える。

【0031】次に、図3、図8および図9を参照し、一実施形態の動作例を説明する。図8は、電流駆動部114の動作を説明するためのタイミングチャートである。図9は、図8のタイミングチャートの動作に伴う、データ線DTの電圧の変化を示すタイミングチャートである。画像信号は、例えば16階調を示す4ビットとして説明する。画像信号D0、D1、D2、D3は、画素の階調度に対応して1:2:4:8に重み付けされたデータであり、MOSトランジスタPT0、PT1、PT2、PT3、またはMOSトランジスタNT0、NT1、NT2、NT3において、各々対応するMOSトランジスタのゲートに入力されるように、電圧制御部4及び電圧制御部5により設定されている。ここで、表示制御回路100

(図1)から制御部2に入力され、電圧制御部4、5及び電圧発生部7、8の制御に使用される制御信号について説明する。以下に説明する図8及び図9のタイミングチャートにおける制御は、表示制御回路100が制御部2(電流駆動部114、114B)及びゲートドライバ101を制御する事により行われる。出力極性制御信号POLは、出力する階調度を示す電圧の極性を設定するものであり、「H」レベルの場合、高電位VDD側へ階調度を示す電圧の発生を指示し、すなわち、(+)の極性の階調度を示す階調電圧の発生を指示する。また、出力極性制御信号POLは、「L」レベルの場合、低電位VSS側へ階調度を示す電圧の発生を指示し、すなわち、(-)の極性の階調度を示す階調電圧の発生を指示する。

【0032】出力期間制御信号OUTは、実際に、データ線DTに電荷を充放電する期間を設定するものであり、また、MOSトランジスタPT0~PT3を動作の対象とするか、MOSトランジスタNT0~NT3を動作の対象とするかは、出力極性制御信号POLによって選択される。また、出力電圧初期化信号RESETは、データ線DTの電圧(蓄積される電荷量)を、初期化するための信号であり、駆動極性が反転される度に異なった電圧(VDD/VSS)を繰り返して、データ線DTに初期値の電圧を設定する。このため、出力電圧初期化信号RESETが「H」レベルであり、出力極性制御信号POLが「H」レベルの場合、制御部2は、制御信号NRを「H」で出力し、MOSトランジスタNTRをON状態として、データ線DTに蓄積されている電荷を放電して、低電位VSSの電圧レベルに初期化する。

【0033】また、出力電圧初期化信号RESETが「H」レベルであり、出力極性制御信号POLが「L」レベルの場合、制御部2は、制御信号PRを「L」で出力し、MOSトランジスタPTRをON状態として、デ

10

20

30

40

50

ータ線DTに電荷を充電（蓄積）して、高電位VDDの電圧レベルに初期化する。したがって、MOSトランジスタPTR及びMOSトランジスタNTRは、出力電圧初期化期間のうちに、ON状態となった場合に、表示素子DTを初期化する電位を、各々高電位VDDの電位、または低電位VSSの電位に到達できるように、ON状態時の電流値が設定されている。出力端が表示素子に対向する対向電極に接続されている対向電極駆動回路9は、矩形波の電圧を出力し、図9に示す様に、その矩形波の電圧レベルを低電位VSSと高電位VDDの範囲内

において、液晶の配向の極性を変換する度に、低電位VSSと高電位VDDに近い電位に切り換えて出力する。
【0034】次に、図8及び図9のタイミングチャートを用いて、データ線DTに対する電荷の充放電の動作について説明する。①時刻t0において、例えば、ゲートドライバ102により走査線RTが活性化されて、薄膜トランジスタTFがON状態とされ、画像信号D0, D1, D2, D3が入力され、出力極性制御信号POLが「H」レベルで入力され、対向電極は低電位VSSに設定されている。このとき、出力電圧初期化信号RESETは「L」レベルであり、出力期間制御信号OUTも「L」レベルである。そして、時刻t1において、表示制御回路100は、出力電圧初期化信号RESETを「H」レベルの幅Aのパルスとして出力する。これにより、出力極性制御信号POLが「H」レベルであるため、制御信号NRが「H」レベルとなり、MOSトランジスタNTRがON状態となるため、時刻t1から時刻t2まで（幅Aの期間）にデータ線DTの電位が初期化されて低電位VSSとなる。

【0035】②時刻t3において、出力電圧初期化信号RESETが「L」レベルになった後、出力期間制御信号OUTが「L」レベルから「H」レベルに遷移される。これにより、出力極性制御信号はPOLが「H」レベルであるので、MOSトランジスタPT0, PT1, PT2, PT3が動作の対象となり、画像信号D0, D1, D2, D3の各データ値（「H」レベルか「L」レベルか）に対応して、上記各MOSトランジスタがON/OFF制御され、ON状態となったMOSトランジスタが定電流源としての動作を開始し、データ線DTに電荷を蓄積させる。そして、時刻t4において、出力期間制御信号OUTが、「H」レベルから「L」レベルへ遷移し、この時刻t3から時刻t4までの期間Bの間に、データ線DTを介して上記定電流源により、階調度を示す電荷が表示素子LDの画素電極に蓄積され、すなわち階調度を示す電位に画素電極が設定される。

【0036】③時刻t5において、ゲートドライバ102により走査線RTが非活性化されることにより、薄膜トランジスタTFがOFF状態とされ、また、ラッチ112は、次の走査線RT1の行の表示素子LDDに対する画像信号D0, D1, D2, D3のデータを、ラッチ信号

に同期して出力する。そして、ゲートドライバ102は、走査線RTTを活性化することにより、薄膜トランジスタTFをON状態とする。また、制御部2は、出力極性制御信号POLを、「H」レベルから「L」レベルに変化させる。このとき、対向電極駆動回路9は、表示素子LDの対向電極に対して供給する電圧を、低電位VSSから高電位VDDに切り替える（変化させる）。これにより、データ線DTの電位は、寄生容量のカップリングにより、階調度を示す電位に電圧V（高電位VDDと低電位VSSとの電位差）を加えられた電圧値となるが、各pチャネル型のMOSトランジスタの寄生ダイオードにより、高電位VDDと寄生ダイオードの順方向電圧とが加算された電圧まで低下する。

【0037】④時刻t6において、表示制御回路2は、出力電圧初期化信号RESETを「H」レベルの幅Aのパルスとして出力する。これにより、出力極性制御信号POLが「L」レベルであるため、制御信号PRが「L」レベルとなり、MOSトランジスタPTRがON状態となるため、時刻t7までにデータ線DTの電位が初期化されて高電位VDDとなる。次に、時刻t8において、出力電圧初期化信号RESETが「L」レベルになった後、出力期間制御信号OUTが「L」レベルから「H」レベルに遷移される。これにより、出力極性制御信号POLが「H」レベルであるので、MOSトランジスタNT0, NT1, NT2, NT3が動作の対象となり、反転画像信号DB0, DB1, DB2, DB3の各データ値（「H」レベルか「L」レベルか）に対応して、上記各MOSトランジスタがON/OFF制御され、ON状態となったMOSトランジスタが定電流源としての動作を開始し、データ線DTに電荷を蓄積させる。そして、時刻t9において、出力期間制御信号OUTが、「H」レベルから「L」レベルへ遷移し、この時刻t8から時刻t9までの期間Bの間に、上記定電流源により、高電位VDDから階調度を示す電荷まで表示素子LDの画素電極の電荷が放電され、すなわち階調度を示す電位に画素電極が設定される。

【0038】⑤時刻t10において、ゲートドライバ102により走査線RTTが非活性化されることにより、薄膜トランジスタTFがOFF状態とされ、また、ラッチ112は、次の走査線の行の表示素子に対する画像信号D0, D1, D2, D3のデータを、ラッチ信号に同期して出力する。また、制御部2は、出力極性制御信号POLを、「L」レベルから「H」レベルに変化させる。このとき、対向電極駆動回路9は、表示素子LDDの対向電極に対して供給する電圧を、高電位VDDから低電位VSSに切り替える（変化させる）。

【0039】これにより、データ線DTの電位は、寄生のカップリングにより、階調度を示す電位から電圧Vを差し引いた電圧値となるが、各nチャネル型のMOSトランジスタの寄生ダイオードにより、低電位VSSと寄

生ダイオードの順方向電圧とが加算された電圧まで上昇する。以上の動作が一周期として画像信号に対応して繰り返し行なわれる。すなわち、順次入力される画像信号D0～D3に基づき、階調電圧発生部6により、階調度の示す電圧レベルに変換して、この変換されたデータをデータ線へ出力し、各走査線毎に書き込み信号が出力されるとき、このデータ線のデータを表示素子に書き込んで行く処理が、表示画面単位で繰り返して行われる。

【0040】ここで、データ線DTと対向電極との間の電位差に着目すると図10のようになる。このように高電位VDDの方向に電圧を印加したい場合は対向電極の電位を低電位VSSに近い電位に設定し、また、低電位VSSの方向の電圧を印加したい場合は対向電極の電位をVDDに近い電位に設定する事で限られた電源電圧範囲（高電位VDDと低電位VSSとの間）で、表示素子LDを交流で駆動する場合には、より広い駆動電圧範囲を得る事が可能となる。上述した方法は、表示素子において液晶など交流の電圧で駆動しなければならない素子を使う場合に適した方法となる。さらに、図8の様に、出力極性制御信号POLにより、液晶の配向方向を走査線1本毎に切り換えることで、表示素子の画素電極の電位の初期化は、高電位VDD方向から低電位VSS方向へ、または低電位VSS方向から高電位VDD方向への充放電の途中の過程の一部とみなすことが出来るため、電力効率の観点で無駄な充放電の電流の消費を抑えることが可能となる。

【0041】上述した一実施形態の電流駆動部114の構成において、画像信号D0, D1, D2, D3がすべて「L」である場合には、MOSトランジスタPT, PT1, PT2, PT3、またはMOSトランジスタNT0, NT1, NT2, NT3のいずれもON状態にはならない。したがって、この場合、出力期間Bの終了時点において、表示素子の画素電極に電荷が蓄積されないことになる。しかしながら、液晶など使用する表示素子によっては、所定のバイアス電圧（出力電圧の最小値）が必要となる場合があるため、図3の様に最小電流（調整電流）を供給するpチャンネル型のMOSトランジスタPTB、及びnチャンネル型のMOSトランジスタNTBを付け加える。

【0042】これらのMOSトランジスタPTB, NTBは、出力極性制御信号POLにより選択され、出力期間制御信号OUTにより出力期間が設定され、各々MOSトランジスタPT0, PT1, PT2, PT3、またはMOSトランジスタNT0, NT1, NT2, NT3と同様の動作を行い、各々バイアス電位を蓄積するための電流を流すW/Lに設定する。ここで、WはMOSトランジスタのゲート幅であり、LはMOSトランジスタのゲート長である。また、MOSトランジスタPTB, NTBのW/Lは、期間B内で、必要なバイアス電圧が印加される電流値になる様に設定されている。さらに、MOSト

ランジスタPT0, PT1, PT2, PT3, PTBが、全てがON状態となったとき、期間B内において、表示素子の画素電極の電位が高電位VDDとなる充電の電流を流せる様にW/Lの大きさを設定されることで、電源電圧及び駆動電圧の範囲を最適に設定することが可能となる。

【0043】同様に、MOSトランジスタNT0, NT1, NT2, NT3, NTBは、全てがON状態となったとき、期間B内において、表示素子の画素電極の電位が低電位VSSとなる放電の電流を流せる様にW/Lの大きさを設定されることで、電源電圧及び駆動電圧の範囲を最適に設定することが可能となる。また、上述した一実施形態による電流駆動部114の構成は、画像信号が4ビット（16階調）に限られたもので無く、画像信号のデータとして、必要な階調度の分だけのビット数にも応用でき、すなわち、画像信号の階調度を示すビットの数の電流源として動作するMOSトランジスタを設けることにより、液晶表示装置において、どの様な階調度にも対応できる。

【0044】上述したように、一実施形態による電流駆動部114では、液晶表示装置の各表示素子の制御時のみに、表示素子を充放電させるために、電流源となるMOSトランジスタのON/OFF制御を行うので、従来例のように、抵抗ストリングや差動増幅器におけるアイドリング電流を必要としないため、不用な電流を流す事が無く、省電力化を行うことが可能となる。また、一実施形態による電流駆動部114では、MOSトランジスタの定電流源から直接に表示素子に対して、階調度に対応した電位とするための電荷の充放電を行うことにより、従来例におけるD/A変換回路及び出力段回路の両方の機能を実現することができ、すなわち、抵抗ストリングから階調度に対応した電圧を選択するスイッチと、インピーダンス変換のための差動増幅器との構成が必要なくなるため、回路規模を縮小することができ、液晶表示装置のサイズを小型化することが可能となる。

【0045】以上、本発明の一実施形態を図面を参照して詳述してきたが、具体的な構成はこの実施形態に限られるものではなく、本発明の要旨を逸脱しない範囲の設計変更等があっても本発明に含まれる。例えば、本願発明の第2の実施形態の電流駆動部114B（図2）を図11に示す。上述した一実施形態との違いは、画素電極に対向する対向電極の電位を電源BTにより一定の電圧VCOMとされ、かつ、出力電圧初期化用のMOSトランジスタPTR及びMOSトランジスタNTRのソースが上記電圧VCOMに接続されている点である。すなわち、出力初期化電圧は、常に電圧VCOMとなる。この第2の実施形態の構成は、高電位VDDと低電位VSSとの電圧範囲が比較的大きく設定できる場合の構成である。このとき、電圧VCOMは、高電位VDDと低電位VSSとのほぼ中間の電位に設定されて使用される。

【0046】また、第2の実施形態の図11に示す電流駆動部114Bの駆動において、各制御信号のタイミングチャートは、図8と同様であるため、動作の詳しい説明は省略する。ただし、表示素子の対向電極の電位は、電圧VCOMで一定のため、出力極性の変化はない。さらに、各MOSトランジスタのW/Lの設定についても、出力電圧初期化において、出力電圧初期化信号RESETにより、MOSトランジスタPTR及びMOSトランジスタNTRのいずれがON状態にされた状態でも、表示素子が電圧VCOMの電位に初期化される以外は、一実施形態と同様である。電流駆動部114がデータ線に出力する出力電圧の波形を図12に示す。第2の実施形態の場合、高電位VDDと低電位VSSとの範囲で、表示部103'における表示素子の階調制御を行うため、データ線と対向電極電位との関係は、一実施形態の場合と同様なものとなる。しかしながら、初期化電圧を高電位VDDと低電位VSSとの中間の電圧VCOMに設定し、かつ、出力極性制御を出力1回毎に切り換える事により、一実施形態と同様に、データ線及び表示素子の電位の初期化は、高電位VDDから電圧VCOMへ、または低電位VSSから電圧VCOMへの充放電の途中の過程の一部とみなすことが出来るため、電力効率の観点で無駄な電流の消費を抑える事が出来る。また、この第2の実施形態による電流駆動部114Bの効果は、一実施形態と同様である。

【0047】

【発明の効果】本発明によれば、液晶表示装置の各表示素子の制御時のみに、MOSトランジスタ群における階調度に対応した電流源となるMOSトランジスタのみのON/OFF制御を行うことにより、所望の階調度に対応する電位に表示素子に対して充放電できるので、従来例のように、抵抗ストリングや差動増幅器におけるアイドル電流を必要とせず、不用な電流を流す事が無くなり、大幅に省電力化を行うことが可能となる。また、本発明によれば、MOSトランジスタの定電流源から直接に表示素子に対して、階調度に対応した電位とするための電荷の充放電を行うことができるため、従来例におけるD/A変換回路及び出力段回路の両方の機能をコンパクトに実現することが可能となり、すなわち、抵抗ストリングから階調度に対応した電圧を選択する、大きな回路面積を必要とするスイッチと、インピーダンス変換のための差動増幅器との構成が必要なくなるため、回路規模を大幅に縮小することができ、液晶表示装置のサイズまたは液晶駆動用ICのチップサイズを小型化することが可能となる。

【図面の簡単な説明】

【図1】 本発明の一実施形態による液晶表示装置の構成を示す概念図である。

【図2】 図1におけるソースドライバ101の構成を示すブロック図である。

【図3】 図2における電流駆動部114の構成を示す概念図である。

【図4】 nチャネル型のMOSトランジスタの電流-電圧特性を示す図である。

【図5】 レベルシフタ10によるMOSトランジスタに供給する内部画像信号の駆動信号の電圧レベル変換の概念を示す図である。

【図6】 本発明の電流駆動部114（または114B）に用いる定電流源の電流加算回路の原理を説明する概念図である。

【図7】 本発明の電流駆動部114（または114B）に用いる定電流源の電流加算回路の原理を説明する概念図である。

【図8】 電流駆動部114（または114B）の動作を示すタイミングチャートである。

【図9】 電流駆動部114の出力波形を示すタイミングチャートである。

【図10】 表示素子LD（またはLDD）における画素電極と対向電極との電位差の変化を示すタイミングチャートである。

【図11】 本発明の第2の実施形態による電流駆動部114Bの構成を示す概念図である。

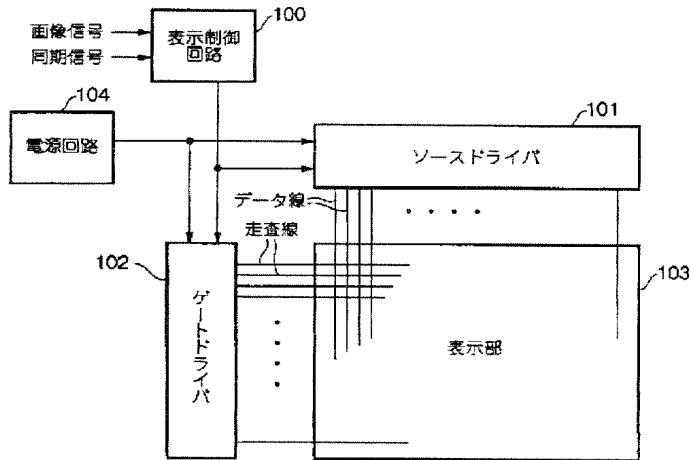
【図12】 電流駆動部114Bの出力波形を示すタイミングチャートである。

【図13】 従来のD/A変換器及び出力回路で構成された電流駆動部の概念図である。

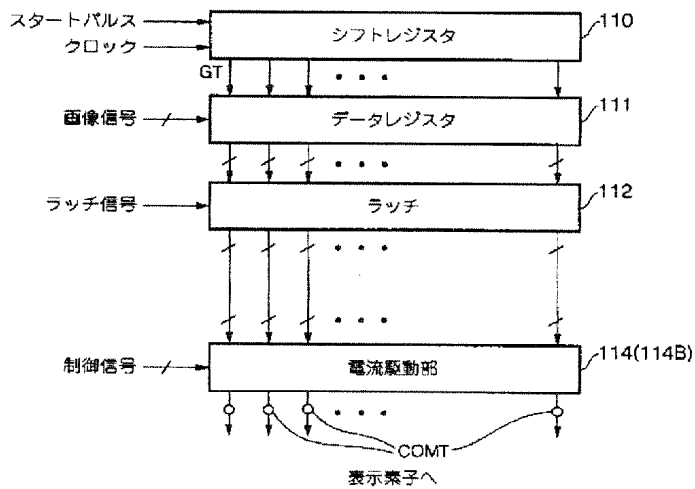
【符号の説明】

- 1 デコーダ
- 2 電圧制御部
- 4, 5 電圧制御部
- 4A, 4B, 4C, 4D AND回路
- 5A, 5B, 5C, 5D NAND回路
- 6 階調電圧発生部
- 7, 8 電圧発生部
- 9 対向電力駆動回路
- 10 レベルシフタ
- 100 表示制御回路
- 101 ソースドライバ
- 102 ゲートドライバ
- 103 表示部
- 110 シフトレジスタ
- 111 データレジスタ
- 112 ラッチ
- 114, 114B 電流駆動部
- NT0, NT1, NT2, NT3 nチャネル型のMOSトランジスタ
- NTB, NTR nチャネル型のMOSトランジスタ
- PTB, PTR pチャネル型のMOSトランジスタ
- PT0, PT1, PT2, PT3 pチャネル型のMOSトランジスタ

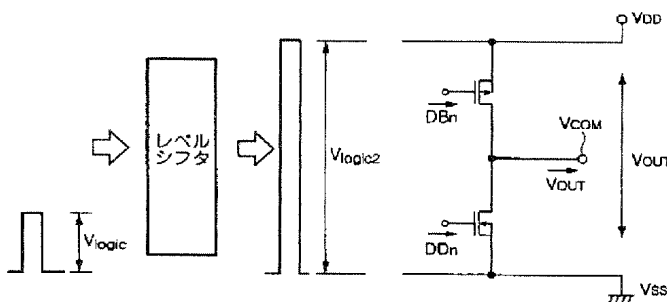
【図1】



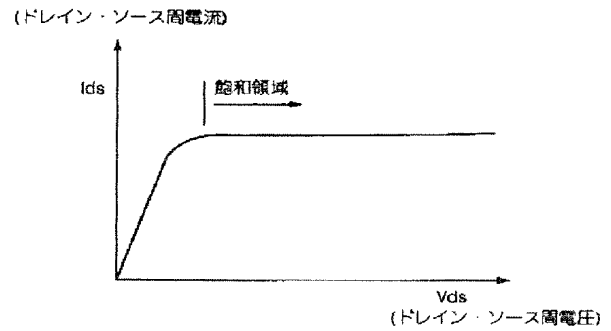
【図2】



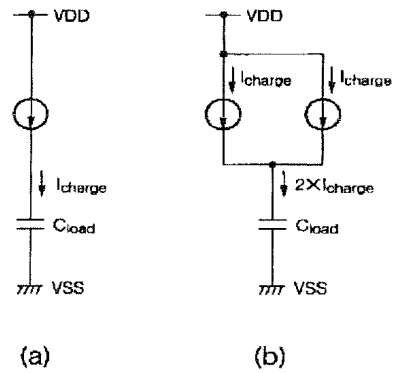
【図5】



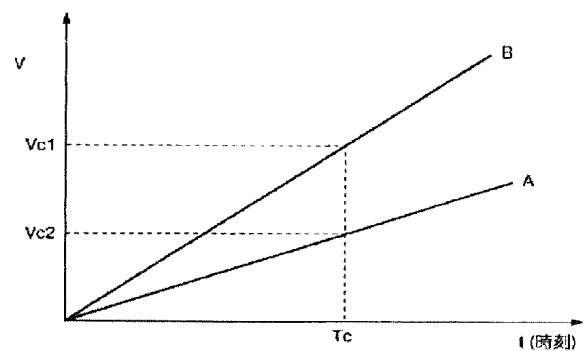
【図4】



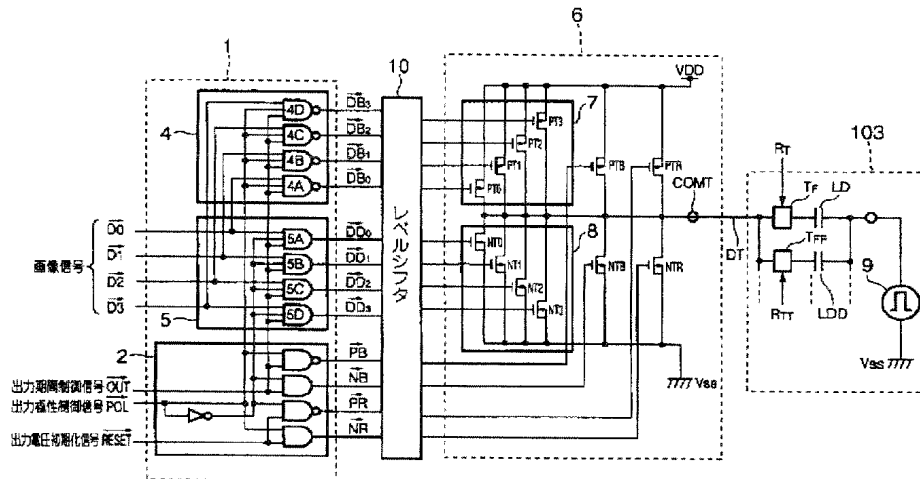
【図6】



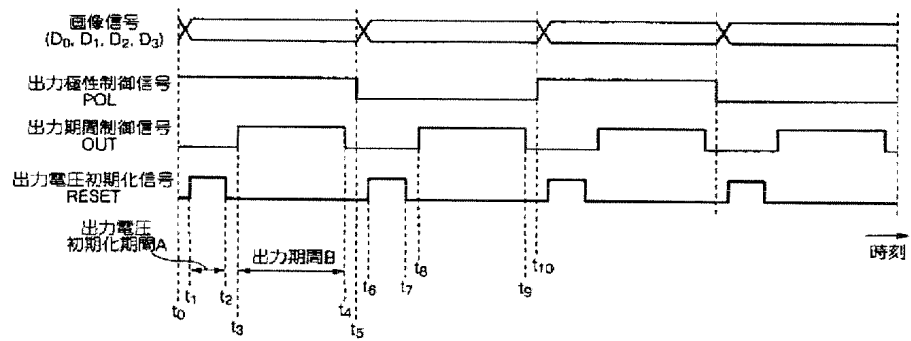
【図7】



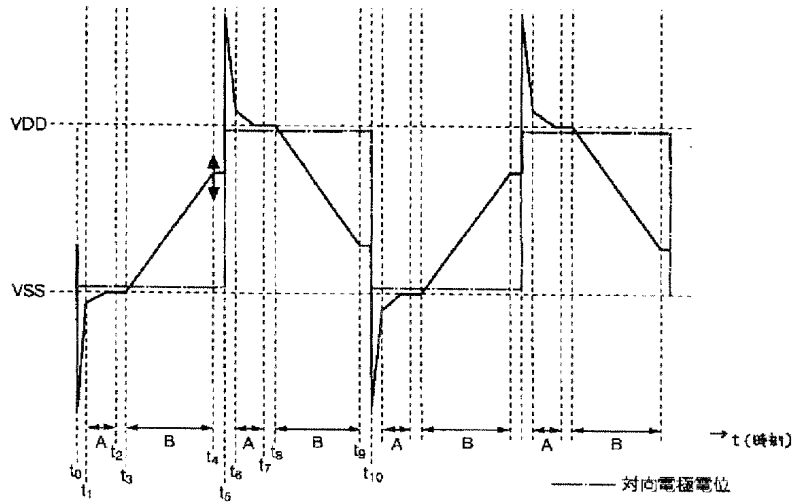
【図3】



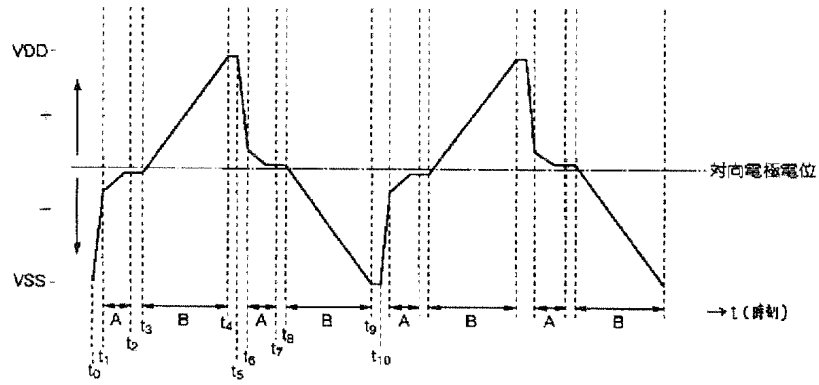
【図8】



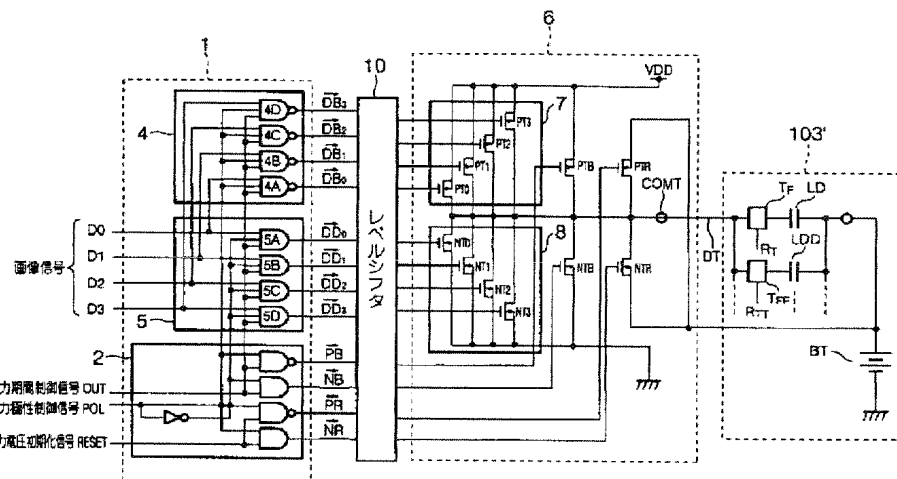
【図9】



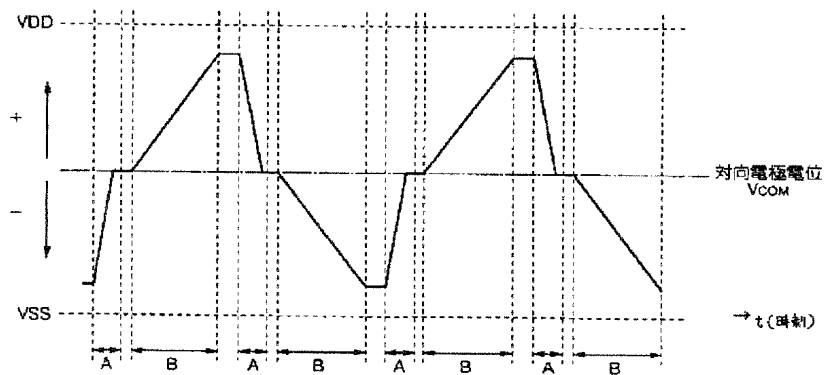
【図10】



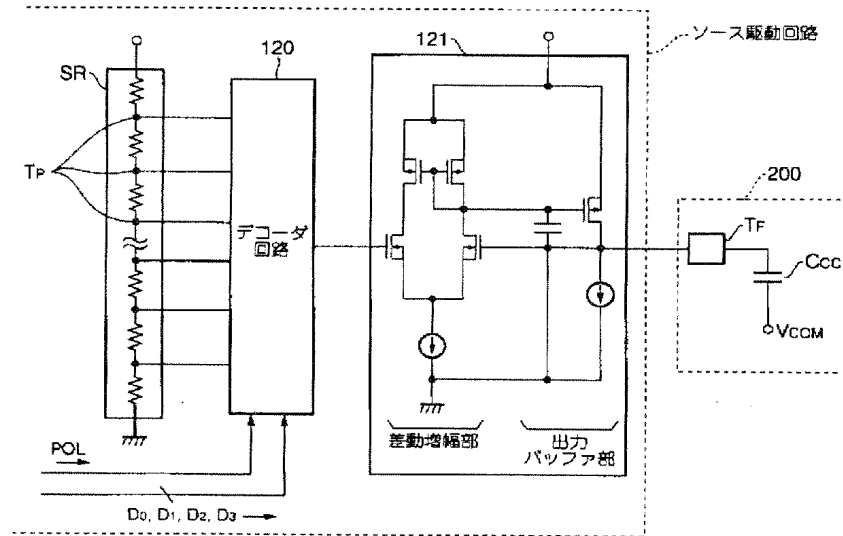
【図11】



【図12】



【図13】



フロントページの続き

F ターム(参考) 2H093 NA53 NC02 NC21 NC22 NC26
 NC33 ND17 ND32 ND39
 5C006 AA16 AF83 BB16 BC12 BC20
 BF03 BF04 BF25 BF26 BF32
 BF33 BF34 BF46 EB05 FA14
 FA43 FA47 FA56
 5C080 AA10 BB05 DD08 DD22 DD26
 EE29 JJ02 JJ03 JJ04 JJ05